

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-314769

(43)Date of publication of application : 26.11.1993

(51)Int.Cl: G11C 11/407

(21)Application number : 04-120455

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.05.1992

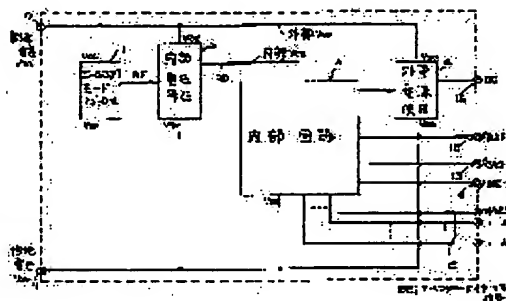
(72)Inventor : MORI SHIGERU

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57)Abstract:

**PURPOSE:** To provide a semiconductor integrated circuit device provided with an internal step-down function entering unnecessarily to no aging mode for executing an aging test and entering easily and surely to the aging mode without using the timing relation of an external control signal prescribed specially.

**CONSTITUTION:** The semiconductor integrated circuit device is provided with an aging mode control circuit 1 detecting that external power source voltage (external Vcc) is toggled with a prescribed amplitude and a prescribed times and outputting an aging mode enable signal BE and an internal voltage step-down circuit 2 corresponding to the aging mode enable signal BE and transmitting the voltage changing according to the change of the external source voltage (external Vcc) on the internal power source line 20 corresponding to the aging mode enable signal BE. The semiconductor integrated circuit device is moved to the aging mode only when the external source voltage is oscillated with a fixed amplitude and a fixed number of times.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平5-314769

(43)公開日 平成5年(1993)11月26日

(51)IntCl. <sup>1</sup>	模別記号	片内整理番号	FI	技術表示箇所
G 1 1 C 11/407		6741-5L	G 1 1 C 11/ 34	3 5 4 F

審査請求 未請求 請求項の数 8 (全 17 頁)

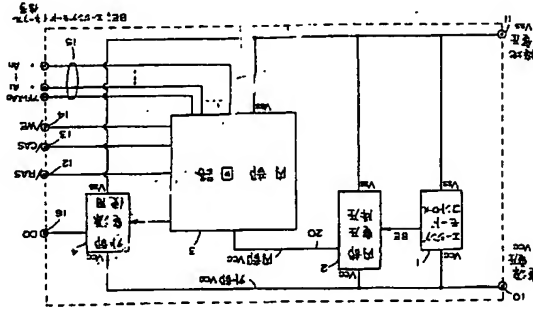
(21)出願番号 特願平4-120455 (71)出願人 000008013 三菱電機株式会社  
(22)出願日 平成4年(1992)5月13日 東京都千代田区丸の内二丁目2番3号 森茂 (72)発明者 兵部伊丹市瑞限4丁目1番地 三菱電機株式会社北伊丹製作所内 井理士 隈見 久郎 (外3名) (74)代理人

(54)【発明の名称】 半導体集積回路装置

(三) 讨论

【目的】 内部矯正機能を備える半導体集積回路装置に、  
おいて不必要にエージング試験を行なうためのエージン  
グモードに入ることがなくかつエージングモードへは特  
別に規定された外部制御信号のタイミング図紙を利用す  
ることなく容易かつ簡便に入ることのできる半導体集積  
回路装置を提供することを目指す。

【構成】 半導体集積回路装置は外部電源電圧（外部V<sub>cc</sub>）が所定の区間内で所定の回数トグルされたことを検出してエージングモジュール・インポート番号B<sub>i</sub>を発生する。エージングモジュール・コード番号と内部電源電圧20（エージングモジュール番号B<sub>i</sub>に基づきトグルされる）の上へ外部電源電圧（外部V<sub>cc</sub>）の変化に従って変化する電圧を伝達する内部電圧降圧回路2を含む。この半導体集積回路装置においては、外部電源電圧が成る一定の区間以上で一定回数変動したときにのみエージングモードへ移行する。



【特許請求の範囲】

【請求項1】 内部電源線に与えられる電圧を動作電源電圧として動作する回路を含む半導体集積回路装置であ

電源ノードへ印加される第1の電源電圧から内部電源電圧を正を発生する内部降圧手段を備え、前記内部降圧手段は、前記第1の電源電圧に予め定められた第1のレベルより低いときと前記第1のレベルの電圧を前記内部電源電圧として発生する手段を含み、前記第1の電源電圧に比べて変化する電圧を発生するた  
めの電圧発生手段。

前記第1の電源電圧が第2のレベルと第3のレベルとを識別して所定回数駆動した否かを判断する判断手段とを有し、前記判断手段から、所定回数駆動後出力は正否に基づき前記判断手段から、前記内部電源電圧を調整して、前記電圧発生手段からの電圧へと前記内部電源電圧を、前記電圧を更にする内部電源電圧まで、 $\gamma$ を含む、半導体集積回路装置。

【請求項2】 前記内部電源電圧変更手段は、前記内部電源電圧手段からの前記内部電源電圧に前記電圧発生手段からの電圧を重畳して前記内部電源線へ伝達する手段を含む。

【請求項3】 前記内部電源電圧変更手段は、前記内部電源電圧発生手段が前記電圧に代えて前記内部電圧に伝達する手段を含む、請求項1記載の半導体集積回路装置。

【請求項4】 前記第2のレベルは前記第1のレベルに近いレベルであり、

前記判別手段は、前記第1の電源電圧が前記第2のレベルを通過したときに前記所定回数振動検出信号を発生する手段を含む、請求項1記載の半導体集積回路装置。

【請求項5】 内部電源線へ与えられる電圧を動作電源電圧として動作する回路を含む半導体集積回路装置であ

電源ノードへ追加される第1の電源電圧から内部電源電圧を発生する内部降圧手段を備え、前記内部降圧手段は、前記第1の電源電圧が第1のレベルよりも高いときに前記第1のレベルの電圧を前記内部電源電圧として発生する手段を含み、

前記第1の電源電圧に比答して、前記第1の電源電圧の  
変化に従って変化したかつ前記第1の電源電圧よりも低い  
レベルの中間電圧を発生する中間電圧発生手段。

前記第1の電報通信は第2のレベルと第3のレベルとを別手手段、および前記別手手段からの所定回数でグルグル送出される号に基き、前記内部電線路上の電圧を前記内部線路上の電圧と前記別手手段からの電圧と内部電線通信に発生する電圧との中間電圧に變更する内部回路を変更手段を備え、半導体集積回路装置、

【請求項6】 前記第2のレベルは前記第1のレベルに近接してあり、

特選:平05-31.4769

前記判別手段は、前記第1の電源電圧が前記第2のレベルを横切ったときに前記所定回数グル検出値号を発生する手段を含む、請求項5記載の半導体集積回路装置。

## 【発明の詳細な説明】

10001

【産業上の利用分野】この発明は半導体集積回路装置に  
関し、特に、外部から与えられる外部電源電圧を降圧し  
て内蔵電源電圧を発生する内部降圧回路を内蔵する半導  
体集積回路装置に関する。より特定的には、この発明は  
内部降圧回路を備える半導体記憶装置に関する。

[0002]

[illegible]

【0003】内部電源電圧を発生する内部降圧回路は、この外部電源電圧（外部V<sub>cc</sub>）が予め定められた一定の値（V<sub>0</sub>）より高くなってもそこから発生される内部電源電圧（内部V<sub>cc</sub>）は一定値（V<sub>0</sub>）のレベルを保つように設計される。この内部電源電圧（内部V<sub>cc</sub>）を…定電圧値（V<sub>0</sub>）に保つ動作を「内部降圧を行う」と呼ぶ。

【0004】このような内部回路問題は、DRAM（ダイナミック・ランダム・アクセス・メモリ）およびSR（スタティック・ランダム・アクセス・メモリ）など、半導体記憶装置において通常受けられる。システム（大規模集積回路装置）の微細化が半導体記憶装置よりも速く、システム電源として5Vが依然用いられるためである。

【0005】この内部降圧する目的は、上述の如く内部回路が被覆内の内部回路の信頼性を確保するとともに消費電流を低減することである。消費電圧を低下させることにより消費電力を低減することができる。【0006】図18は従来の内部降圧回路の構成を示すブロック図であり、たとえば日経D社発行の「ハイクロロゲンパナダイオード」第117頁および第118頁の図2および図8に示される。

【0007】図18において、従来の内部降圧回路は、基体電圧V0を発生するための基体電圧発生回路500と、この基体電圧V0に基って内部電圧源電圧（内部V<sub>int</sub>）と、

c) を発生する内部電圧発生回路550を含む。基準電圧発生回路550は、外部電源電圧(外部Vcc)供給ノードと出力ノード504との間に設けられる比較的大きな抵抗値を有する抵抗素子501と、ノード504と接地電位Vssとの間に直列に設けられる、x個のダイオード後続されたnチャネルMOSトランジスタ502、…、503を含む。このダイオード後続されたMOストランジスタ502、…、503はそれぞれしきい値電圧VTHを備える。出力ノード504からは基準電圧V0として、x・VTHの電圧が発生される。

【0008】内部電圧発生回路550は、基準電圧V0をゲートに受けるnチャネルMOSトランジスタ551と、ノード559の内部電源電圧(内部Vcc)をゲートに受けるnチャネルMOSトランジスタ552と、トランジスタ551および552の一方導通端子に結合される定電流源555と、外部電源電圧(外部Vcc)をその一方導通端子に受けかつその他方導通端子がノード557に接続されるpチャネルMOSトランジスタ553と、その一方導通端子に外部電源電圧(外部Vcc)を受け、かつその他方導通端子がノード556に接続されるpチャネルMOSトランジスタ554と、ノード557の電圧に依存して外部電源電圧(外部Vcc)をノード559へ伝達して内部電源電圧(内部Vcc)を発生するためのpチャネルMOSトランジスタ558を含む。

【0009】図19は図18に示す内部電圧発生回路550を示す波形成図である。図19において、破線は内部電源電圧(外部Vcc)を示し、破線は外部電源電圧(外部Vcc)を示す。次にこの図19に示す動作波形成図を参照して図18に示す内部電圧発生回路の動作について説明する。

【0010】外部電源電圧(外部Vcc)が0Vから所定の基準電圧V0に到達するまでは、基準電圧発生回路550からの基準電圧V0は外部電源電圧(外部Vcc)に等しく変化する。V0=x・VTHであるため、トランジスタ502、…、503のいずれかがオフ状態にあり、ノード504は抵抗501を介して充電されるためである。

【0011】内部電圧発生回路550においては、この基準電圧V0とノード559の内部電源電圧(内部Vcc)との比較が行われる。ノード559へは、トランジスタ558を介して、電源電圧ノード10を介して与えられる外部電源電圧(外部Vcc)が伝達される。

【0012】ノード559の電圧が基準電圧V0よりも

高くなる場合には、トランジスタ552のコンダクタンスがトランジスタ551のコンダクタンスよりも大きくなり、ノード556の電圧がノード557の電圧よりも低くなる。ノード556の電圧はトランジスタ553および554のゲートへフィードバックされる。これによりノード557の電圧がさらに上昇し、トランジスタ558がオフ状態となる。

【0013】一方、基準電圧V0がノード559の電圧よりも高い場合には、ノード557の電圧レベルがローレベルとなり、トランジスタ558がオン状態となり、電源電圧ノード10へ伝達された外部電源電圧Vccに

よる【0014】すなわち、この内部電源電圧発生回路550は、基準電圧V0とノード559に与えられた内部電源電圧(内部Vcc)とを等しくする機能を備える。

【0015】外部電源電圧(外部Vcc)が基準電圧V0よりも高くなった場合には、基準電圧発生回路550からの基準電圧V0は一定電圧(x・VTH)となる。したがってこの状態においては、ノード559から発生される内部電源電圧(内部Vcc)は外部電源電圧(外部Vcc)の電圧レベルの上昇にかかわらず、一定の基準電圧V0に保持される。

【0016】一方、DRAMなどの半導体集積回路装置においては、パターニングなどの起因する初期不良をスクリーニングするために加速試験(エージング試験)を行なうことが不可欠である。この加速試験においては、半導体集積回路装置を高電圧高温の条件下で動作させ、潜在的な不良を顕在化させ初期不良を除去することが行なわれる。

【0017】この加速試験(エージング試験)を行なうためには、集積回路装置の内部回路へ高電圧を印加することが必要である。しかしながら上述のような内部降圧回路を用いた場合、内部電源電圧は所定電圧V0よりも高くないため、内部回路のエージング試験を行なうことができない。そこで、このような内部降圧回路を備える半導体集積回路装置においてエージング試験を行なうための構成が提案されている。

【0018】図20ないし図22は、提案案されているエージング試験を実現する手法を示す図であり、たとえば日経マイクロデバイス1991年10月号の第48頁〜第52頁に示されている。図20ないし図22それぞれにおいて、破線は内部電源電圧(内部Vcc)を示し、破線は外部電源電圧(外部Vcc)を示す。

【0019】以下、この図20ないし図22に示されるエージング試験を実現する方法について説明する。

【0020】図20に示す方法においては、外部電源電圧(外部Vcc)が所定の電圧値V0に達すると内部降圧回路のクランプ機能が作動し、内部電源電圧V0に保持される。外部電源電圧(外部Vcc)が成る電圧V1を超えることエージング試験

試験等が必要とされるときは、内部電源電圧を昇圧することのできる半導体集積回路装置を提供することである。

【0028】この発明の他の目的は、通常の通称試験においてエージングモードに入ることのない信頼性の高い半導体集積回路装置を提供することである。

【0029】この発明のさらに他の目的は、余分のピン端子を必要とせずかつ特定の外部制御信号の特別なタイミング関係を要求することなく確実にエージングモードに入る半導体集積回路装置を提供することである。

【0030】

【課題を解決するための手段】この発明に係る半導体集積回路装置は、有利すれば、外部電源電圧が所定の電圧で所定回数駆動したときのみにエージングモードへ入る。

【0031】すなわち、請求項1に係る半導体集積回路装置は、電圧ノードへ供給される第1の電源電圧から内部電源電圧を発生する内部降圧手段と、この第1の電源電圧が第2のレベルと第3のレベルとを横切ると所定回数駆動したときを判断する手段を含む。内部降圧手段は、第1の電源電圧が予め定められた第1のレベルよりも高くなった場合においても第1のレベルの電圧を内部電源電圧として発生する手段を含む。

【0032】請求項1に係る半導体集積回路装置はさらに、この判断手段からの所定回数駆動検出信号に基き、第1の電源電圧に等しく変化する電圧へとこの内部降圧手段からの内部電源電圧を変更する手段を含む。

【0033】請求項2に係る半導体集積回路装置は、この電源電圧変更手段が、内部降圧手段からの内部電源電圧に第1の電源電圧に等しく変化する電圧を重ねる手段を含む。

【0034】請求項3に係る半導体集積回路装置は、判別手段からの所定回数駆動検出信号に基き、内部降圧手段からの内部電源電圧に代えて第1の電源電圧に従って変化する電圧を内部電源電圧として通過させる手段を含む。

【0035】請求項4に係る半導体集積回路装置は、第2のレベルが第1のレベルに近いレベルに設定されており、判別手段が第1の電源電圧が第2のレベルを通過したときに所定回数駆動検出信号を発生する手段を含む。

【0036】請求項5に係る半導体集積回路装置は、電圧ノードへ印加される第1の電源電圧から内部電源電圧を発生する内部降圧手段と、第1の電源電圧に基き、この第1の電源電圧よりも低くかつ第1の電源電圧に等しく変化する中間電圧を発生する中間電圧発生手段を含む。内部降圧手段は、第1の電源電圧が第1のレベルよりも高いときには第1のレベルの電圧を内部電源電圧として発生する手段を含む。

【0037】請求項5に係る半導体集積回路装置はさらに、第1の電源電圧が所定回数第2のレベルと第3のレ



モードイネーブル信号Bが発生される。

【0064】図5は図4に示す外部Vccハイレベル検出回路5の具体的な構成を示す図である。図5において、外部Vccハイレベル検出回路5は、外部電源電圧(外部Vcc)を供給するダイオード10とノードNAとの間に直列に設けられるダイオード10と接続されたnチャネルMOSトランジスタQ1a、Q2aおよびQ3aと、ノードNAと接地電圧Vssとの間に設けられる比較的大きな抵抗値を有する抵抗REaを含む。ノードNAには、トランジスタQ1a～Q3aがすべてオン状態の場合には、外部電源電圧(外部Vcc)より3VTH低い電圧が現われる。ここでトランジスタQ1a～Q3aのしきい値電圧をVTHとする。

【0065】外部Vccハイレベル検出回路5はさらに、ノードNAに現われた電圧AOを受けるインバータ回路11aと、インバータ回路11aの出力を受けるインバータ回路12aを含む。インバータ回路11a、12aは共に外部電源電圧(外部Vcc)を動作電源電圧として動作する。インバータ回路11aの入力しきい値は外部電源電圧(外部Vcc)の1/2となるように設定される。これはプルアップ用トランジスタおよびプルダウン用トランジスタを同一サイズで作製することにより実現される。したがって、インバータ回路12aからのハイレベル検出信号AIは、ノードNAの電圧AOがそのときの外部電源電圧(外部Vcc)の1/2のレベルよりも高いか低いかにより“H”、“L”となる。

【0066】図6は、図4に示す外部Vccローレベル検出回路6の具体的な構成を示す図である。図6において、外部Vccローレベル検出回路6は、電圧(ノード)と出力ノードNBとの間に直列に設けられるダイオード10と接続されたnチャネルMOSトランジスタQ1bおよびQ2bと、ノードNBと接地電圧との間に設けられるダイオード10と接続されたnチャネルMOSトランジスタQ3bと抵抗REbと、ノードNBの電圧を受け2段のインバータ回路11b、12bを含む。抵抗REbは比較的大きな抵抗値を有する。したがってノードNBには、電圧(ノード)10へ与えられる外部電源電圧(外部Vcc)から2VTH低い電圧が現われる。ここで、トランジスタQ1bおよびQ2bのしきい値電圧をVTHとする。インバータ回路11bの入力しきい値は外部電源電圧(外部Vcc)の1/2に設定される。したがって、このローレベル検出信号BIは、ノードNBの電圧0と外部電源電圧(外部Vcc)の2分の1のレベルとの高さに応じて“H”および“L”となる。

【0067】図7は、図4に示す外部Vccリセットレベル検出回路7の構成を示す図である。図7において、外部Vccリセットレベル検出回路7は、ダイオード10と接続された3個のnチャネルMOSトランジスタQ1r、Q2rおよびQ3rと、比較的大きな抵抗値を有する抵抗RJcを含む。トランジスタQ1r～Q3rと抵抗RJc

は、電圧(ノード)10と接地電圧Vssとの間に直列に接続される。トランジスタQ1rとトランジスタQ2rとの間の接続点NCには、外部電源電圧(外部Vcc)よりトランジスタQ1rのしきい値電圧VTH低い電圧が現われる。外部Vccリセットレベル検出回路7はさらにこのノードNCの電圧を反転増幅するインバータ回路11rを含む。インバータ回路11rの入力しきい値は外部電源電圧(外部Vcc)の1/2のレベルに設定される。

【0068】図8は図5ないし図7に示す検出回路5、6および8の動作を示す信号波形図である。リセットレベル検出信号Rは、外部電源電圧(外部Vcc)がリセットレベルVR以上となったときに“L”となる。ローレベル検出信号Hは、外部電源電圧(外部Vcc)が所定電圧の第2のレベルVS以上となったときに“H”となる。ハイレベル検出信号AIは、外部電源電圧(外部Vcc)が第3のレベルVT以上となったときに“H”となる。すなわち、検出信号A、Bは、ノードNAおよびNBの電圧AOおよびBOがそれぞれ外部Vcc/2以上となったときに“L”となる。リセットレベル検出信号Rは、ノードCの電圧ROが外部Vcc/2以上となったときに“L”となる。これにより、外部電源電圧のハイレベル(第3のレベル)、ローレベル(第2のレベル)およびリセットレベルを正確に検出することができ、フリップフロップを含むラッチ回路により、外部電源電圧(外部Vcc)のトリグルを検出することができ

る。

【0069】図9は、図4に示すn段のカウンタ回路8-1～8-nの構成を示す図である。カウンタ回路8-1～8-nは同一構成を備える。

【0070】図9において、1ビット2進カウンタ8は、リセット信号Rに接続してノードNO1へ電源電圧Vccを伝送するnチャネルMOSトランジスタQ7Cと、リセット信号Rに接続してノードNO3を接地電圧Vssへ放電するnチャネルMOSトランジスタQ9Cと、リセット信号Rに接続してノードNO2(出力ノード)を接地電圧Vssへ放電するnチャネルMOSトランジスタQ8Cと、リセット信号Rに接続してノードNO4を接地電圧Vssへ放電するnチャネルMOSトランジスタQ10Cを含む。トランジスタQ7Cへ与えられる電源電圧Vccは外部電源電圧(外部Vcc)であって、また内部電源電圧(外部Vcc)であって、また内部電源電圧(外部Vcc)である。外部電源電圧(外部Vcc)で動作する回路の出力であるため、外部電源電圧(外部Vcc)で動作させるのが好ましい。

【0071】1ビット2進カウンタ8はさらに、入力I1に与えられる信号に接続してノードNO1とノードNO3とを電気的に接続するnチャネルMOSトランジスタQ1Cと、入力I1へ与えられる信号を受けるインバータ回路13Cと、ノードNO3の電圧に接続してオン

・オフするnチャネルMOSトランジスタQ5Cと、ノードNO3と接地電圧Vssとの間に設けられる容量C D1と、インバータ回路13Cの出力に接続して、トランジスタQ5CをノードNO1へ電気的に接続するためnチャネルMOSトランジスタQ2Cを含む。

【0072】1ビット2進カウンタ8はさらに、ノードNO1の電圧を反転・増幅してノードNO2へ伝送するインバータ回路11Cと、ノードNO2の信号電圧を反転増幅してノードNO1へ伝送するインバータ回路12Cを含む。インバータ回路11Cおよび12Cはラッチ回路を構成する。1ビット2進カウンタ8はさらに、入力I1Nに与えられる信号に接続してノードNO2とノードNO4とを電気的に接続するためのnチャネルMOSトランジスタQ4Cと、ノードNO4と接地電圧Vssとの間に設けられる容量C D2と、ノードNO4の電圧に接続してオン・オフするnチャネルMOSトランジスタQ6Cと、インバータ回路13Cの出力に接続してノードNO2とトランジスタQ6Cとを電気的に接続するnチャネルMOSトランジスタQ3Cを含む。トランジスタQ5CおよびQ6Cは、ノードNO4およびNO3が“H”レベルの場合に接地電圧Vssレベルを伝送する。

【0073】この図9に示す1ビット2進カウンタ回路8は、nチャネルMOSトランジスタQ1C～Q6Cと、インバータ回路11C、12Cと、容量C D1およびC D2によって構成されるダイナミックカウンタと、内部ノードリセット用のnチャネルMOSトランジスタQ7C～Q10Cを備える。次にこの図9に示す1ビット2進カウンタ回路8の動作をその動作を示すタイミングチャート図である図10を参照して説明する。

【0074】リセット信号Rが“H”の場合、ノードNO1は電源電圧Vccにより“H”となり、一方ノードNO2、NO3およびNO4は、トランジスタQ8C、Q9CおよびQ10Cによりそれぞれ接地電圧Vssに設定される。この状態では出力ノードOUTの電圧レベルは“L”である。

【0075】時刻S0においてリセット信号Rが“L”に立上ると内部ノードNO1、NO2、NO3およびNO4のリセット状態が解放される。このリセット解放時においては、ノードNO1が“H”レベル、ノードNO2、NO3およびNO4は共に“L”のレベルにある。

【0076】時刻S1において入力I1Nに与えられる信号が“L”から“H”に立上ると、これに反応して、トランジスタQ1Cがオン状態となり、ノードNO1の“H”の電圧により容量C D1が充電され、ノードNO3の電圧が“H”となる。トランジスタQ4Cが同時にオン状態となるが、ノードNO2は“L”レベルであり、ノードNO4の電圧レベルは“L”である。インバータ回路11Cおよび12Cはラッチ回路を構成して



おり、ノードNO1およびNO2をそれぞれ“1”および“1.”の状態でラッチしている。

【0077】時刻S2において入力ノード1N1に与えられる信号が“H”から“L”へ立下がる。これに反応して、トランジスタQ2CおよびQ4Cがオフ状態、トランジスタQ2OCおよびQ4OCがオン状態となる。ノー  
ードNO3の出力によりオン状態となる。ノーードNO3回路13Cの出力によりオン状態となる。ノーードNO3は“H”にあり、トランジスタQ5Cがオン状態である。一方、ノーードNO4は“L”にあり、トランジスタQ6Cはオフ状態にある。これにより、ノーードNO1がトランジスタQ2CおよびQ5Cを介して放電され  
“L”となる。ノーードNO2はインバータ回路11Cに  
よって、出力ノードOUTの信号電位が“L”となり、“H”となる。時刻S3において再び入力ノード1N1の信号が“H”へ立下がる。トランジスタQ1CおよびQ4Cがオン状態となり、トランジスタQ2CおよびQ3Cがオン状態となる。ノーードNO3がトランジスタQ1Cを介してノーードNO1に接続される。ノーードNO1はインバータ回路12Cにより“L”に保持されている。  
したがって容量CD1に保持されていた充電電荷が接地電位V<sub>s</sub>へと放電され、ノーードNO3の電位レベルが“L”へと立下がる。一方、ノーードNO2はインバータ回路11Cにより“H”に保持されている。したがっ  
て、トランジスタQ4Cを介してノーードNO4が充電さ  
れ、ノーードNO4の電位が“H”となる。

【0078】時刻S4において入力ノード1N1に与えら  
れる信号が“H”から“L”へ立下がる。これに反応し  
て再びトランジスタQ1CおよびQ4Cがオフ状態、ト  
ランジスタQ2CおよびQ3Cがオン状態となる。ノー  
ードNO3は“L”レベル、ノーードNO4は“H”レベ  
ル、ノーードNO2はインバータ回路12Cにより反転・増幅されてノーードNO1へ伝達さ  
れ、ノーードNO1の電位が“H”に上る。これによ  
り出力ノードOUTの電位が“H”から“L”に立下  
る。

【0079】再び時刻S5において入力ノードINへ与えられる信号が“1”から“11”へ立上ると、時刻S11において行なわれた動作と同様の動作が行なわれ、ノードNO3とノードNO4の電位が変化する。

【0080】時刻S6において入力ノード1Nに与えられる信号が“H”から“L”へ立下ると時刻S2において行なわれた動作と同様の動作が行なわれ、出力ノードOUTの電位が“H”に立上る。

【0081】時刻SRにおいてリセット信号Rが“H”へ立上ると、トランジスタQ7C、Q8C、Q9CおよびQ10CによりノードNO1が“H”レベルに、ノードNO2、NO3およびNO4が“L”のレベルにリセットされ、出力ノードOUTの電位も“L”となる。

これにより1ビット2進カウンタ回路8はリセット状態となる。

【0082】上述のように、入力ノードINへ与えられる信号の“H”から“L”への変化に応じて出力ノードOUTの信号電位が変化する。

【0083】次に、この図4に示すエージングモードコントロール回路の全体の動作をそのタイミングチャートである図11を参照して説明する。図11においては、このn段のカウント回路8-1~8-nは3段設けられている場合（ $n=3$ ）の動作が示される。

【0084】時刻10において外部電源電圧（外部V<sub>cc</sub>）がリセットレベルV<sub>R</sub>よりも高くなるとリセット信号Rが“1”に立上る。この時刻10において、ユーザモード検出回路42に含まれるカウンタ回路8-1～8-nがリセット状態から解放される。

【0085】時刻11において、外部電源電圧（外部Vcc）が第2のレベルV<sub>S2</sub>よりも高くなると、外部Vccをローレベル検出回路6から出力信号Bが“1”から“0”へレベルが下る。この時点では、まだハイレベル検出回路7Aは“1”である。したがって、図4に示すNAND回路N1の出力は“1”であるため、NAND回路N2の出力は“1”であり、したがってインバータ回路12の出力は、この時点からトグル検出信号C2の出力は、この時点から、内部電源電圧V<sub>S1</sub>に近いレベルV<sub>S1</sub>（第1のレベルV<sub>S1</sub>）は第2のレベルV<sub>S2</sub>よりも高いレベルV<sub>S1</sub>として示される。図10においては、この第1のレベルV<sub>S1</sub>は第2のレベルV<sub>S2</sub>よりも低い場合が一例として示される。第2のレベルV<sub>S2</sub>は第2のレベルV<sub>S2</sub>よりも高いレベルV<sub>S1</sub>として示されてもよい。第1のレベルV<sub>S1</sub>と第2のレベルV<sub>S2</sub>とが近接されてもよい。

【0086】時刻t2において外部電源電圧（外部Vcc）が第3のレベルからより高くなる、外部Vccはハイレベル状態となる。出力信号Aが“1”レベルから“H”へと立上がり、これに对应して、図4に示すNAND回路N1の出力信号が“H”となり、NAND回路N2の出力が“L”となり、インバータ回路12からの出力信号C0が“H”となる。カウント回路12からの出力信号C0が“H”となると、カウンタ回路8-1~8-nはその入力ノード1Nに与えられる値は“H”から“L”へ変化したときにカウントアップ動作を行なう。したがってこの時刻t2においては、カウンタ回路8-1~8-nの出力信号C1、C2、C3およびエンコーディングモードID信号Bは“1”のままである（ここでカウンタ回路は3段の場合を想定している）。

【0087】時刻13において、外部電源電圧（外部V<sub>cc</sub>）が第3のレベルV<sub>T</sub>よりも低くなると、ハイレベル検出信号Aが“1”から“L”へ立下がる。この場合においても、図4に示すNAND回路N2の出力信号が“1”であるため、インバータ回路12の出力信号C0の状態は変化しない。

【0088】時刻14において、外部電源電圧（外部Vcc）が第2のレベルV<sub>S</sub>よりも低くなった時点で、ローレベル検出信号Bが“1”レベルから“1”レベルへと変化する。この時点で、図4に示すNAND回路N2の出力信号が“1”から“H”へと変換し、信号C0が“H”から“1”へと変化する。

【0089】この信号C0の“H”から“L”への変化に忠答して、カウンタ回路8-1からの出力C1が“L”から“H”へと変化する。この時点においてはまだ残りのカウンタ回路の出力信号C2およびC3（15）は変化しない。

【0090】上述のように、外部電源電圧（外部Vc）の電圧レベが第2のレベルVSよりも低い電圧レベルと第3のレベルVTよりも高い電圧レベルの間を変動すると、信号C0が、外部電源電圧（外部Vc）が第3のレベルVTよりも高くなった時点で“H”となり、外部電源電圧（外部Vc）が第2のレベルVSよりも低くなった時点で信号C0は“L”となる。信号C0が“H”から“L”へと変化すると、1段目のカウンタ回路8—1がカウンタアップ動作を行ない、その出力C1が変化する。

【091】上述の動作を繰返して、時刻15において、信号C0が“1”へ立下がると、初段のカウンタ回路8-1の出力信号C1が“1”へと立下がり、2段目のカウンタ回路8-2の出力信号C2が“11”へと立上る。

【0092】さらに時刻16において、外部電源電圧（外部Vcc）が第2のレベルVSを横切ると、信号C0が“L”へ立下がり、信号C1が“H”へと立ち上る。

【0093】時刻18において、カウンタ8-1の出力信号C1が“H”から“L”に変化すると、2段目のカウンタ回路8-2の出力値G2が“H”から“L”へと変化し、これに基き、3段目（最終段）のカウンタ回路8-3の出力値E3が“L”から“H”へ変化する。これに基きして、2段目のカウンタ回路8-2の出力値F2が“L”から“H”へ変化する。これに基き、3段目のカウンタ回路8-3の出力値D3が“L”から“H”へ変化する。これに基き、2段目のカウンタ回路8-2の出力値B2が“L”から“H”へ変化する。これに基き、1段目のカウンタ回路8-1の出力値A1が“L”から“H”へ変化する。

号BEが“L”から“H”に立上がる。

【0094】すなわち、カウンタ回路8-1~8-nが3段の場合では、外部電源電圧（外部Vcc）が第2のレベルV<sub>S</sub>と第3のレベルV<sub>T</sub>を超えて4回往復した時点でエージングモードに入る。

【0095】ここで、上述のように、外部電源電圧（外部電圧  $V_{cc}$ ）が第2のレベル  $V_{S2}$  よりも低くなった時点で、ユーザエージングモジュールは付与電圧  $V_{S2}$  を発生すると、外部電源電圧（外部  $V_{cc}$ ）と内部電源電圧（内部  $V_{cc}$ ）とをほぼ等しい値に設定することとなる。これにより、ユーザエージングモジュールの発動を抑えることができる。すなわち、外部電源電圧（外部  $V_{cc}$ ）が低いレベルになったときにユーザエージングモードに入ることが可能となる。

すると、外部電源電圧（外部  $V_{cc}$ ）を線やかに上昇させ、外部電源電圧（外部  $V_{cc}$ ）をこの外部電源電圧（外部  $V_{cc}$ ）の変化に追順して線やかに上昇させることができ、内部電源線における電源電圧の変動を小さくし、内部電源線に生じるノイズおよびそれに伴う誤動作を防止することができる。

【0096】時刻1Bにおいて、エージングモータードに入電圧、内部電源電圧（内部Vcc）に対する内部焼品電圧（内部Vcc）が、内部電源電圧（内部Vcc）と等しくなる状態が示される。この状態においては、内部電源電圧（内部Vcc）と外部電源電圧（外部Vcc）とが等しくなる状態が示される。この状態1Bに示す動作においては、内部電源電圧（内部Vcc）は、外部電源電圧（外部Vcc）が0Vから上昇し、第1のレベルV1の値を超えた時点でこの第1のレベルV1の電圧値を保持する。時刻1Bにおいてエージングモータードにネーゲル（負）電圧が発生しエージングモータードに入電圧、内部電源電圧（内部Vcc）は外部電源電圧（外部Vcc）と等しい電圧値となる。

【0097】最後に、時刻1Rにおいて、外部電源電圧（外部Vcc）の電圧レベルがリセットレベルVRよりも低くなると、リセット信号Rが“1”となり、図4に示すカウンタ回路8〜10-nがすべてリセットされ、信号C3およびエッジングモジュール13のBビットも“1”となり、この半導体記憶装置がエッジングモードから解放される。

【0098】ここで、図11においては、エージングモード時に於いて内部回路へ伝送されるエージング電圧は、第3の電圧レベルV<sub>T</sub>よりも低い状態が示される。このエージング電圧は第3のレベルV<sub>T</sub>よりも高いレベルに設定されてもよい。図々A、BおよびCが“1”に立上るだけである。

【0099】図12は、内部電圧降圧回路の具体的な構成を示す図である。図12において、外部V<sub>cc</sub>依存電圧降圧発生回路21は、エージングモードイネーブル信号B1Eを受けるインバータ回路15と、インバータ回路15の出力に接続して外部電源電圧（外部V<sub>cc</sub>）を内部電源電圧20へ伝達するpチャネルMOSトランジスタQ11とを含む。内部降圧電圧22からの降圧電圧は、また、内部電源電圧20へ与えられる。

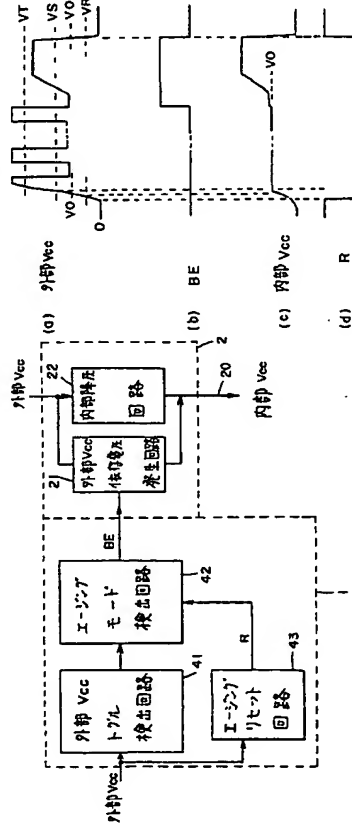
【0100】図12に示す内部電源回路の構成においては、エージングモードイーネープル信号Bが「1」に立上ると、pチャネルMOSトランジスタP1が、内部電源線20へ伝達される。この図12に示す構成の場合、内部電源線20上に見られる外部電源電圧（外部V<sub>cc</sub>）は、エージングモード時においては、外部電源電圧（外部V<sub>cc</sub>）と等しくなる。図11に示すように、エージングモードイーネープル信号Bは、外部電源電圧（外部V<sub>cc</sub>）が第2のレベルV<sub>S</sub>を切ったときに発



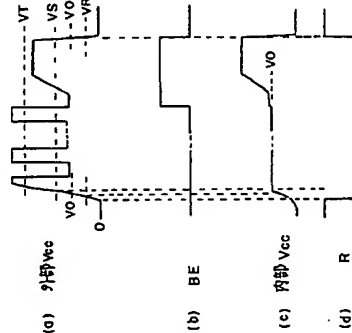




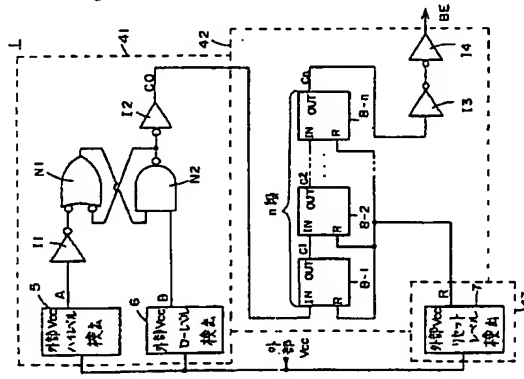
【図2】



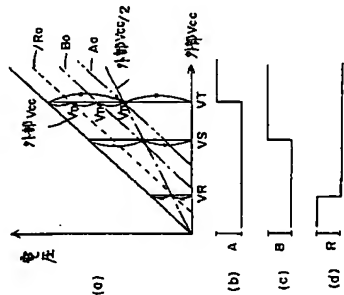
【図3】



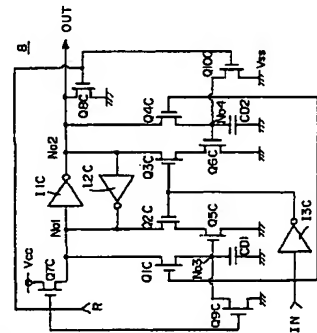
【図4】



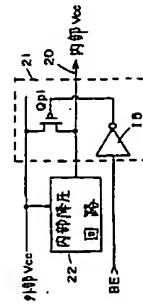
【図5】



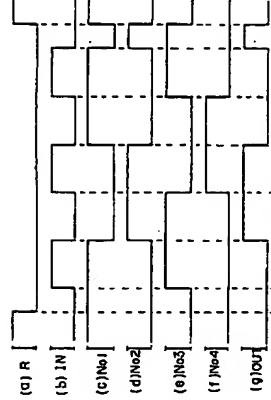
【図6】



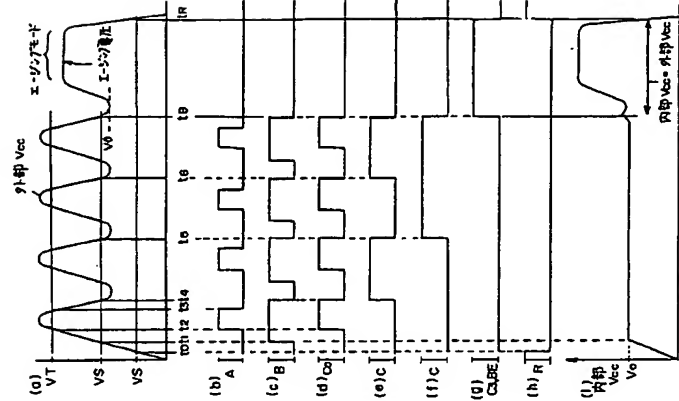
【図7】



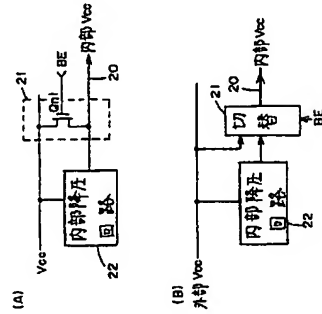
【図10】



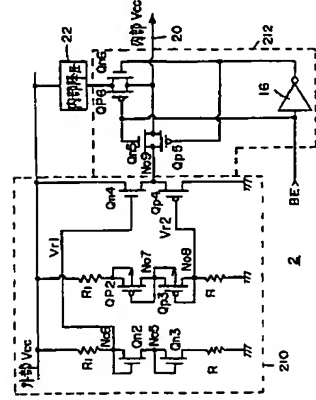
【図11】



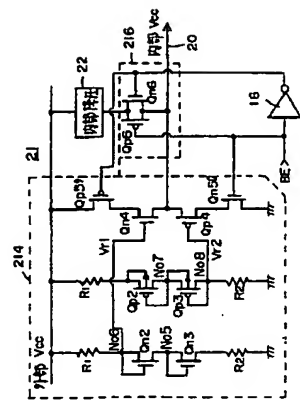
【図13】



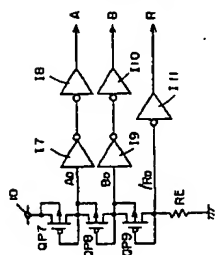
【図14】



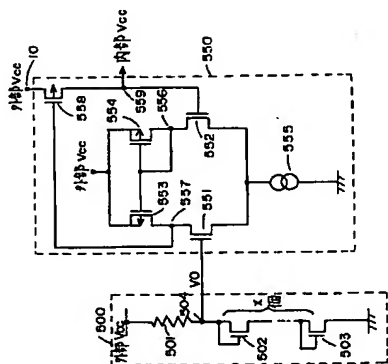
【図15】



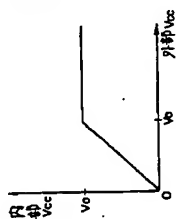
【図17】



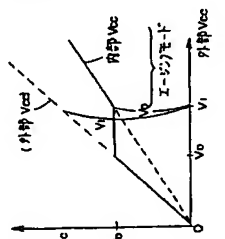
【図18】



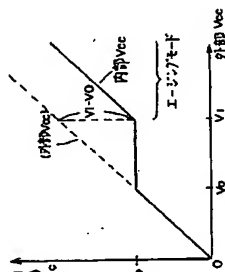
【図19】



【図20】



【図22】



【図21】

